

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **60074643 A**

(43) Date of publication of application: **26.04.85**

(51) Int. Cl.

H01L 21/82

G06F 11/22

H01L 21/66

(21) Application number: **58181991**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **30.09.83**

(72) Inventor: **SHIRATO TAKEHIDE**

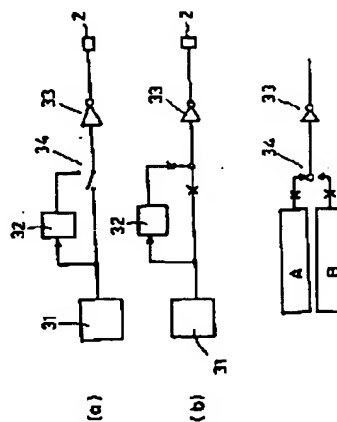
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To contrive to simplify the process after reception of user's demand and to improve the yield by a method wherein all of various kind of optional circuits built in a microprocessor are formed in the state of being connected by means of wirings before the completion of an integrated circuit, and each circuit is formed as demanded by users.

CONSTITUTION: A user selection circuit built in the microprocessor formed in a semiconductor substrate is formed by selective cutting of a wiring after the initial functional test of this microprocessor. The wirings are cut at any of parts shown by X, according to the option of users; or switched over with a switching means 34. In such a manner, the optional circuit is completed by cutting or not cutting the wiring, according to the option of users; then package test of the final test or the final test is performed after passage through the process of assembly.

COPYRIGHT: (C)1985,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-74643

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)4月26日

H 01 L 21/82
G 06 F 11/22
H 01 L 21/66

6655-5F
6913-5B
6603-5F

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭58-181991

⑰ 出 願 昭58(1983)9月30日

⑱ 発 明 者 白 土 猛 英 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板に形成されたマイクロプロセッサに内蔵されるユーザー選択回路を、該マイクロプロセッサの初期的な機能試験を終えた後に配線体を選択的に切断することによって規定することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(1) 発明の技術分野

本発明は半導体装置の製造方法、詳しくはマイクロプロセッサ等に内蔵される諸々のユーザーのオプション(選択)回路の形成方法に関する。

(2) 技術的背景

マイクロプロセッサ等に内蔵されるユーザーオプション回路は従来よりユーザープログラム用脱出し専用メモリ(ROM)形成と同時に行われており、その形成工程後の短納期化が重要な課題である。

(3) 従来技術と問題点

従来、ユーザーオプション回路の形成はROM形成と同時に電極コンタクト窓の有無によって行われた。例えばエンハンスメント型MOS電界効果トランジスタの選択ビットがビット線に接続されているかあるいは接続されていないかによって異なる2つの導電状態を2値記憶装置に対応させるROMを作るにおいて、すべてのビットに該当するエンハンスメント型MOS電界効果トランジスタを形成し、絶縁膜を成長させた後、電極コンタクト用窓開きを選択的にを行い、その後配線体形成、カバー保護膜の成長およびこのカバー保護膜を選択的に除去しボンディング用パッドを形成しROMを完成する。ユーザーオプション回路も前述のROMの確定と同じ工程、すなわち電極コンタクト用窓開き工程で形成されていた。ユーザーオプション回路を含むマイクロプロセッサの製造は絶縁膜が形成されたウエハ状態でスタンバイされており、ユーザーの要求があると前記ウエハにユーザーの求めるオプション回路を形成するためのウエハプロセ

(1)

(2)

スを行い、しかる後にオブション回路を含めウエハについて初期試験を行い、組立工程を経た後に最終試験を行う。

上記の方法においては、ウエハプロセスが長く、かつ終わった後組立工程の前に初期試験が入るためにオブション回路形成後の手番が長くなる点に問題があり、ユーザーの要求があってから完成までの時間を更に短縮すること、すなわち製造工程の簡素化が要求される。

更には、未だ何等の試験も行われていないウエハ、すなわち歩留りの見地からは不良品かもしれないウエハに対してもオブション回路が形成され、その後の初期試験で始めて良品か不良品かが判定されるので、製造歩留りについて問題がある。オブション回路の形成は、製造管理の見地からは良品であるウエハに対してなされることが好ましいことはいうまでもない。

(4) 発明の目的

本発明は上記従来の問題点に鑑み、マイクロプロセッサ等に内蔵される種々のユーザーオブシ

ョン回路の形成において、ユーザーの要求を受けた後の工程が簡素化され、かつ製造管理の面から歩留りの向上せしめられた半導体集積回路を製造する方法を提供することを目的とする。

(a) 発明の構成

そしてこの目的は本発明によれば、半導体基板上に形成されたマイクロプロセッサに内蔵されるユーザー選択回路を、該マイクロプロセッサの初期的な機能試験を終えた後に配線体を選択的に切断することによって規定することを特徴とする半導体装置の製造方法を提供することによって達成される。

(b) 発明の実施例

以下本発明実施例を図面によって詳説する。

第1図はマイクロプロセッサに内蔵される半導体チップ1の平面図であって、このチップは3.92mm×5.08mmの大きさのものであり、半導体チップ1の4縁には各種のパッド2が形成され、符号2aで示す斜線を付したパッドは出力形式パッドである。なお同図において、3はポート(PORT)、4

(3)

はRAM、5はデコード(DEC)、6はROM、7はスタンバイ(STBY)、8はポート、9はテスト(TEST)、10はレジスタ(REG)、11はアナログ・デジタル・マルチプレクサ(ADMPX)、12はプログラムカウンタ、13はプレスケアラ(pre-scaler)、14はスタックレジスタ(stack register)、15はシステムプロセッサ(SP)、16はクロック、17はプログラマブル・ロジック・アレイ(PLA)、18はポート、19はPLA、20はフラグ(FLG)、21はポート(PORT)、22はスタンバイ(STBY)、23はロジック回路(LOGIC)を示す。

上記の半導体チップは完成品であるが、現実の製造工程においてユーザーオブション回路は、シリアル・ポート・ラッチ、PLA出力形式、出力回路形式(PORT)に関する。

本発明の方法によると、ウエハにオブション回路以外の回路を形成するだけでなく、上記3つのオブション回路をも形成し、ウエハ毎に初期試験を行う。初期試験はブローパテスト、イニシアルテストまたはウエハテストとも呼称される。この

(5)

(4)

ときの試験は直流試験(DC試験)、ファンクション試験およびスピード試験に大別されるが、ファンクション試験とスピード試験は同等の試験であるので(つまりファンクション試験にAC試験を入れて行うので)、試験はDC試験とAC試験とに大別されることもある。

直流試験では電源電流(I_{cc})、入力端子についてV_{ih}、V_{il}を、出力端子についてV_{oh}、V_{ol}を、リーク電流を端子およびスタンバイについて試験する。

ファンクション試験は機能毎に分割して、CPUの算術論理装置(ALU)、アナログコンピュータ(AC)、レジスタ、フラグ、割込みについて試験し、ROMとPLAで"1"と"0"が正しく書かれているか否かを試験し、AC試験は高速と低速で回路が正しく動作するか否かを試験する。

本発明の方法においては、前記オブション回路は次の如くに形成する。先ずシリアル・ポート・ラッチについて、第2図(a)を参照すると、31はシリアル・バッファ回路ブロック、32はラッチ、33

(6)

はインバータを示し、34はユーザーのオプションによりラッチを通すか通さないかの状態を作るための切換手段を示す。本発明の方法においては、第2図(a)に示す回路を形成し、ユーザーのオプションにより配線体を図にXで示す部分のいずれかで切断する。前記した初期試験は第2図(a)の回路について実施する。

PLA出力形式は第3図を参照するとA(4ビット並列)とB(8ビット並列)を図示の如くに形成し、切換手段34でAまたはBに切換える代りに、A、Bを共にインバータ33に接続し、配線体をX印を付したいずれかの部分で切断する。初期試験はシリアル・ポート・ラッチの場合と同様に行う。

出力回路形式については、第4図の(a)と(b)に示されるいずれかの出力回路が要求されるとする。このとき、第4図(b)に示される回路を形成し、図にXで示す部分を切るか切らないかによって(a)または(b)の回路を得る。初期試験は前記の例と同様にして行う。

本発明の方法によると、基本回路に加え、オブ

ション回路も第2図(a)、第3図、第4図(b)に示される如く形成しておいて、前記した初期試験を行う。本願発明者の実験によると、初期試験において必要な試験の99%が終了したことになる。

次いで、ユーザーのオプションに応じて、前記した如く配線体を切断しまたは切断しないことによってオプション回路を完成し(この工程はウエハプロセスで行われる)、組立工程を経て最終試験(パッケージテストともファイナルテストとも呼称される)を行う。最終試験の内容は通常の場合ROMデータについての試験、0℃～70℃の範囲における特性を調べる温度試験、および電源マージンを検査する試験を含み、この試験は全試験の1%程度である。

なお以上には配線体切断によるユーザーオプションの形成について説明したが、本発明の方法は、保護膜を形成した後に、選択的な保護膜除去および配線体の切断を行う場合、または配線体のみ選択的に切断し、しかる後に保護膜を設けて集積回路を完成する場合にも実施されうる。

(7)

(8)

(7) 発明の効果

以上詳細に説明した如く、本発明の方法によると、マイクロプロセッサに内蔵される種々のオプション回路を集積回路装置の完成までにすべて配線体で接続する状態で形成しておき(オプション回路以外の回路は完全動作可能状態に形成し、試験で動作確認してある)、その後ユーザーの要求に応じ各回路形成を行うため、不必要な回路の配線体を切断し短い手番で製品を出荷することが可能となる。

4. 図面の簡単な説明

第1図はマイクロプロセッサに内蔵される半導体チップの平面図、第2図はシリアル・ポート・ラッチの回路図、第3図はPLA出力形式を示す回路図、第4図は出力回路形式を示す回路図である。

2a…出力形式パッド、3,8,18,21…

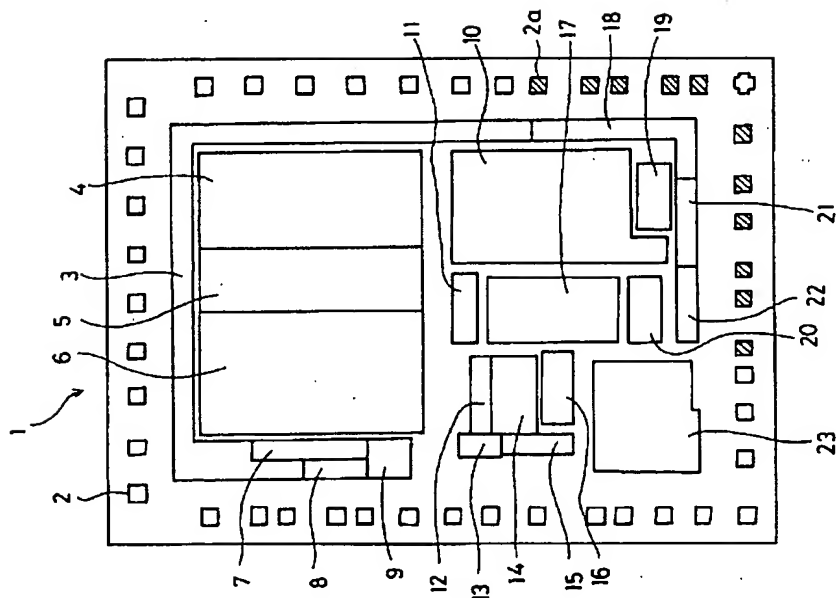
ポート、19…PLA、31…シリアル・

バッファ、32…ラッチ、33…インバータ、

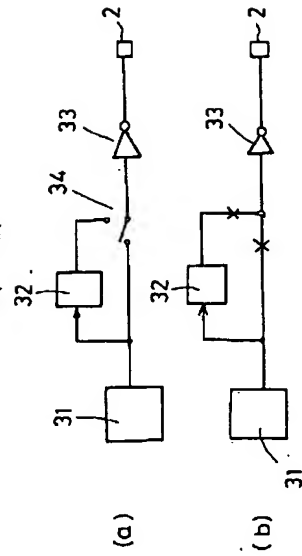
34…切換手段

(9)

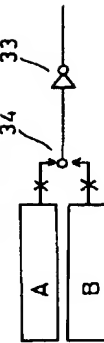
第1図



第2図



第3図



第4図

